

Rec'd PCT/PTO 18 MAY 2005

10/535406
PDR 03/02514
RO/KR 20. 11. 2003

REC'D 09 DEC 2003
WIPO PCT



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0072443
Application Number

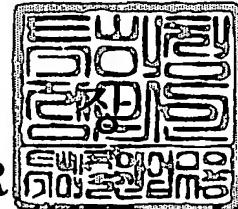
출 원 년 월 일 : 2002년 11월 20일
Date of Application NOV 20, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 11 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.20
【발명의 명칭】	액정 표시 장치의 구동 장치 및 그 방법
【발명의 영문명칭】	APPARATUS OF DRIVING LIQUID CRYSTAL DISPLAY AND METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근, 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	이승우
【성명의 영문표기】	LEE, SEUNG WOO
【주민등록번호】	710923-1018638
【우편번호】	153-813
【주소】	서울특별시 금천구 독산1동 293-10번지 독산현대아파트 102동 1008호
【국적】	KR
【발명자】	
【성명의 국문표기】	이중희
【성명의 영문표기】	LEE, JUNG HEE
【주민등록번호】	691129-1386417
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 694번지 망포마을 현대1차 PARK 109동 802호
【국적】	KR

【발명자】

【성명의 국문표기】 김영기

【성명의 영문표기】 KIM, YOUNG KI

【주민등록번호】 691111-1446727

【우편번호】 445-974

【주소】 경기도 화성군 태안읍 병정리 신미주아파트 102동 702호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
유미특허법인 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 28 면 28,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 57,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 게이트선과 데이터선에 각각 연결되어 있고 행렬 형태로 배열된 복수의 화소를 포함하는 액정 표시 장치를 구동하는 장치에 관한 것으로, 이 구동 장치는 복수의 계조 전압을 생성하는 계조 전압 생성부, 한 행의 화소에 대한 제1 계조 신호와 다음 행의 화소에 대한 제2 계조 신호를 차례로 입력받아, 상기 제1 계조 신호와 상기 제2 계조 신호에 따라 미리 정해져 있는 보정 계조 신호를 선택하여 상기 제1 계조 신호 대신 출력하는 계조 신호 보정부, 그리고 상기 복수의 계조 전압 중에서 상기 계조 신호 보정부로부터의 상기 보정 계조 신호에 해당하는 계조 전압을 선택하여 데이터 전압으로서 상기 화소에 인가하는 데이터 구동부를 포함한다. 그로 인해, 상하 화소간의 데이터 전압 차이로 인해 발생하는 휘도 차이를 보상하므로, 액정 표시 장치의 화질을 개선하는 효과가 발생한다.

【대표도】

도 7

【색인어】

액정표시장치, LCD, 반전구동, 도트반전, 듀얼소스, 시인성, 투과율, 계조전압

【명세서】

【발명의 명칭】

액정 표시 장치의 구동 장치 및 그 방법 {APPARATUS OF DRIVING LIQUID CRYSTAL DISPLAY AND METHOD THEREOF}

【도면의 간단한 설명】

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2a 및 2b는 본 발명의 실시예에 따른 액정 표시 장치의 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에서 하나의 부화소의 등가 회로도이다.

도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이다.

도 5a는 도 4의 V_a-V_a' 선을 따라 잘라 도시한 단면도이다.

도 5b는 도 4의 V_b-V_b' 선을 따라 잘라 도시한 박막 트랜지스터 표시판의 단면도이다.

도 6은 본 발명의 한 실시예에 따른 액정 표시 장치의 전압-투과율 그래프이다.

도 7은 본 발명의 한 실시예에 따른 화소 전압 보정부의 블록도이다.

도 8은 본 발명의 한 실시예에 따른 화소 전압 보정부의 특업 테이블이다.

도 9는 본 발명의 다른 실시예에 따른 화소 전압 보정부의 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

1> 본 발명은 액정 표시 장치의 구동 장치 및 그 방법에 관한 것이다.

<12> 일반적인 액정 표시 장치는 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이러한 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor, TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 이러한 액정 표시 장치 중에서 TN(twisted nematic) 방식의 액정 표시 장치는 여러 장점 을 가지고 있지만, 시야각 문제 때문에 모니터나 TV 영역으로 그 범위를 넓히는 데 한계를 가지고 있다. 이 때문에 TN 액정 표시 장치의 시야각을 개선하기 위해 다중 도메인 방법이나 새로운 보상 필름의 개발 등 많은 연구를 통하여 일련의 성과들이 나타나고 있다. 그러나 상하 방향으로는 계조 반전 문제가 여전히 남아있고, 특히 아래쪽에서 볼 때의 계조 반전은 더욱 심하다.

<14> 특히, 다중 도메인 액정 표시 장치의 경우, 정면의 감마(gamma) 곡선과 측면의 감마 곡선이 일치하지 않아 통상의 TN 액정 표시 장치에 비하여 좌우측면에 대해서 열등한 시인성을 나타낸다. 예를 들어, 도메인 분할 수단으로 절개부를 둔 PVA(patterned vertically aligned) 방식의 경우에는 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 높은 계조 사이의 희도 차이가 없어져서 화상이 둥그러져 보이는 경우도 발생한다.

<15> 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하는 것이다.

【발명의 구성 및 작용】

<16> 본 발명의 과제를 이루기 위한 한 실시예는 게이트선과 데이터선에 각각 연결되어 있고 행렬 형태로 배열된 복수의 화소를 포함하는 액정 표시 장치를 구동하는 장치로서,

<17> 복수의 계조 전압을 생성하는 계조 전압 생성부,

<18> 한 행의 화소에 대한 제1 계조 신호와 다음 행의 화소에 대한 제2 계조 신호를 차례로 입력받아, 상기 제1 계조 신호와 상기 제2 계조 신호에 따라 미리 정해져 있는 보정 계조 신호를 선택하여 상기 제1 계조 신호 대신 출력하는 계조 신호 보정부, 그리고

<19> 상기 복수의 계조 전압 중에서 상기 계조 신호 보정부로부터의 상기 보정 계조 신호에 해당하는 계조 전압을 선택하여 데이터 전압으로서 상기 화소에 인가하는 데이터 구동부를 포함한다.

20> 이때, 상기 계조 신호 보정부는 계조 신호를 기억하는 메모리부를 더 포함하고, 상기 제1 계조 신호를 상기 메모리부에 기억했다가 상기 제2 계조 신호가 입력되면 상기 메모리부에 기억되어 있는 상기 제1 계조 신호를 읽어 내고, 상기 제2 계조 신호를 상기 메모리부에 기억하는 것이 바람직하다.

<21> 상기 메모리부는 읽기 포트와 쓰기 포트를 구비한 이중 포트 메모리를 포함할 수 있다.

<22> 또한 상기 계조 신호 보정부는 상기 제1 계조 신호와 상기 제2 계조 신호의 상태에 따라 해당하는 보정 계조 신호를 기억하고 있는 데이터 보정부를 더 포함하는 것이 바람직하다. 이 때, 상기 데이터 보정부는 룩업 테이블일 수 있다.

<23> 더욱이, 상기 계조 신호 보정부는 상기 계조 신호를 상기 제1 계조 신호와 상기 제2 계조 신호에 따라 상기 메모리부에 인가되는 경로를 변경하는 멀티플렉서를 더 포함하는 것이 바람직하다. 이때, 상기 멀티플렉서는 외부로부터 인가되는 제어 신호의 상태에 따라 상기 경로를 변경하고, 상기 제어 신호는 한 행의 화소에 대한 계조 신호의 전송 시간과 주기가 동일한 수평 동기 신호나 데이터 인에이블 신호에 동기하는 것이 바람직하다.

<24> 상기 메모리부는 한 쌍의 단일 포트 메모리를 포함하며, 상기 한 쌍의 단일 포트 메모리는 번갈아 읽기 및 쓰기 동작을 수행할 수 있다.

<25> 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 장치에서, 상기 각 화소는 제1 부화소와 제2 부화소를 포함하며,

<26> 상기 제1 및 제2 부화소는 상기 게이트선 중 하나와 상기 데이터선 중 하나에 연결된 스위칭 소자, 상기 스위칭 소자에 연결된 화소 전극을 각각 포함하고,

<27> 상기 제1 및 제2 부화소는 인접한 다른 부화소와 용량 결합되어 있는 것이 바람직하다.

<28> 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 장치에서, 한 화소의 상기 제2 부화소는 아래 화소의 제1 부화소와 용량 결합되어 있고,

<29> 상기 제1 및 제2 부화소의 화소 전극의 면적비는 $a:b$ 이고, 상기 제1 계조 신호에 대응하는 데이터 전압을 V_1 , 상기 제2 계조 신호에 대응하는 데이터 전압을 V_2 라고 하며, 전압 V 에 대한 투과율을 $T(V)$ 라고 할 때 상기 제1 계조 신호에 대한 보정 계조 신호에 대응하는 데이터 전압을 V_1' 이라고 할 때, V_1' 은 다음과 같이 관계식으로 정해지는 것이 바람직하다.

30>

$$\frac{aT(V_1) + bT(V_1 \pm 2CV_1)}{a+b} = \frac{aT(V_1') + bT(V_1' + 2CV_2)}{a+b}$$

(단, C는 상수)

)

31> 본 발명의 한 실시예는 복수의 게이트선, 상기 복수의 게이트선과 교차하는 복수의 데이터선, 상기 복수의 게이트선 중 하나와 상기 복수의 데이터선 중 하나에 각각 연결되어 있는 복수의 스위칭 소자, 상기 스위칭 소자에 연결되어 있는 화소 전극을 포함하는 액정 표시 장치의 구동 방법으로서,

32> 제1 행의 계조 신호를 메모리에 쓰는 단계,

33> 제2 행의 계조 신호가 입력되면, 상기 제1 행의 계조 신호를 읽어내고 상기 제2 행의 계조 신호를 상기 메모리에 쓰는 단계,

34> 상기 제1행의 계조 신호와 상기 제2 행의 계조 신호에 따라 이미 정해져 있는 보정 계조 신호를 선택하는 단계, 그리고

35> 상기 보정 계조 신호를 상기 제1 행의 계조 신호 대신 상기 스위칭 소자를 통해 상기 화소에 인가하는 단계를 포함한다.

36> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

7> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판

등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

38> 다음에 본 발명의 실시예에 따른 액정 표시 장치에 대하여 설명한다.

39> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2a는 본 발명의 한 실시예에 따른 액정 표시 장치에서 액정 표시판 조립체의 등가 회로도이고, 도 2b는 본 발명의 다른 실시예에 따른 액정 표시 장치에서 액정 표시판 조립체의 등가 회로도이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에서 하나의 부화소의 등가 회로도이다.

40> 도 1에 도시한 바와 같이, 본 발명에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(gate driver)(400)와 데이터 구동부(data driver)(500), 게이트 구동부(400)에 연결된 구동 전압 생성부(driving voltage generator)(700)와 데이터 구동부(500)에 연결된 계조 전압 생성부(gray voltage generator)(800) 그리고 이들을 제어하는 신호 제어부(signal controller)(600)를 포함한다.

41> 도 1, 도 2a 및 2b를 참고하면, 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n , D_1-D_m , SL)과 이에 연결되어 있으며 대략 행렬의 형태로 배열되어 있는 복수의 화소(pixel)를 포함한다.

2> 표시 신호선(G_1-G_n , D_1-D_m , SL)은 게이트 신호(gate signal)[*"주사 신호(scanning signal)"*라고도 함]를 전달하는 복수의 게이트선("주사 신호선"이라고도 함)(G_1-G_n)과 데이터 신호(data signal)[*"화상 신호(image signal)"*라고도 함]를 전달하는 데이터선("화상 신호선"이라고도 함)(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가

거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 이들 또한 서로가 거의 평행하다.

43> 표시 신호선(G_1-G_n , D_1-D_m , SL)은 또한, 기준 전압(reference voltage, V_{com})["공통 전압(common voltage)"이라고도 함] 따위의 정해진 전압이 인가되는 복수의 유지 전극선(storage electrode line)(SL)을 포함한다. 각 유지 전극선(SL)은 게이트선(G_1-G_n) 사이에 위치하고 대략 행 방향으로 뻗어 있으며, 서로가 거의 평행하다. 이 유지 전극선(SL)은 생략될 수도 있다.

44> 하나의 화소는 하나의 게이트선(G_1-G_n)과 하나의 데이터선(D_1-D_m)으로 정의되는데, 예를 들어 (i, j) ($i = 1, 2, \dots, n$, $j = 1, 2, \dots, m$) 화소라면 i 번째 게이트선(G_i)과 j 번째 데이터선(D_j)에 연결되어 있는 화소를 의미한다.

45> 도 2a 및 2b에 도시한 바와 같이, 각 화소($P_{i,j}$)는 두 개의 부화소($P_{i,j}^1$, $P_{i,j}^2$)로 이루어지고, 각 부화소($P_{i,j}^1$, $P_{i,j}^2$)는 해당 게이트선(G_i)과 해당 데이터선(D_j)에 연결된 스위칭 소자(switching element)(Q_1 , Q_2)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC1} , C_{LC2}) 및 유지 축전기(storage capacitor)(C_{ST1} , C_{ST2})를 포함한다. 유지 축전기(C_{ST1} , C_{ST2})는 생략할 수 있으며, 그 경우 유지 전극선(SL) 또한 필요 없다.

6> 스위칭 소자(Q_1 , Q_2)는 삼단자 소자로서, 그 제어 단자는 게이트선(G_1-G_n)에, 입력 단자는 데이터선(D_1-D_m)에 연결되며, 출력 단자는 액정 축전기(C_{LC1} , C_{LC2}) 및 유지 축전기(C_{ST1} , C_{ST2})의 한 단자에 연결되어 있다.

7> 액정 축전기(C_{LC1} , C_{LC2})는 스위칭 소자(Q_1 , Q_2)와 기준 전압(V_{com}) 사이에, 유지 축전기(C_{ST1} , C_{ST2})는 스위칭 소자(Q_1 , Q_2)와 유지 전극선(SL) 사이에 연결되어 있다. 유지 전극선(SL)이 없는 경우, 유지 축전기(C_{ST1} , C_{ST2})는 인접한 게이트선(G_1-G_n)에 연결될 수 있다.

<48> 평면적인 배열로 볼 때, 인접한 게이트선(G_1-G_n)과 유지 전극선(SL) 및 인접한 두 개의 데이터선(D_1-D_m)으로 구획되는 하나의 영역에 하나의 부화소가 할당되어 있으며, 부화소들은 행렬의 형태로 배열되어 있다. 역으로, 인접한 부화소행의 사이에는 게이트선(G_1-G_n)과 유지 전극선(SL) 중 어느 하나가 배치되어 있고, 인접한 부화소열의 사이에는 하나의 데이터선(D_1-D_m)이 배치되어 있다. 부화소행의 수는 게이트선의 수의 두 배이지만, 부화소열의 수는 데이터선의 수와 거의 같으므로 앞으로 "부화소열"과 "화소열"은 동일한 의미로 사용한다.

<49> 각 화소($P_{i,j}$)의 부화소($P_{i,j}^1, P_{i,j}^2$)는 해당 게이트선(G_i)에 대해서 서로 반대쪽에 위치한다. 각 부화소행의 부화소는 모두 동일한 게이트선(G_1-G_n)에 연결되어 있으며, 한 게이트선(G_1-G_n) 양쪽에 인접한 부화소행의 부화소는 모두 그 게이트선(G_1-G_n)에 연결되어 있다. 예를 들어 도 2a 및 2b에서 i 번째 게이트선(G_i) 바로 아래위에 위치한 두 부화소행의 부화소는 모두 같은 게이트선(G_i)에 연결되어 있다. 따라서 본 명세서에서 i 번째 화소행이라 하면 i 번째 게이트선(G_i)에 연결된 두 부화소행을 아울러 의미한다.

<50> 이와는 달리, 각 화소($P_{i,j}$)의 부화소($P_{i,j}^1, P_{i,j}^2$)는 해당 데이터선(D_j)에 대해서 같은 쪽에 위치한다. 하나의 게이트선(G_1-G_n)에 연결된 화소의 부화소는 모두 해당 데이터선(D_1-D_m)에 대해서 같은 쪽에 위치한다.

<51> 도 2a의 경우에는 하나의 데이터선(D_1-D_m)에 연결된 화소의 부화소들은 모두 해당 데이터선(D_1-D_m)에 대해서 같은 쪽에 위치한다. 도 2a에는 부화소들이 해당 데이터선(D_1-D_m)의 오른쪽에 위치하지만 그 반대일 수도 있다.

<52> 반면 도 2b의 경우에는 하나의 데이터선(D_1-D_m)에 연결된 화소들 중 일부 화소의 부화소들은 해당 데이터선(D_1-D_m)의 한쪽에 위치하고 다른 일부 화소의 부화소들은 그 반대쪽에 위치한다. 이를 다르게 표현하면, 하나의 부화소열의 화소들 중 일부 화소의 부화소들은 그 왼쪽에 위치한 데이터선(D_1-D_m)에 연결되어 있고, 나머지 화소의 부화소들은 그 오른쪽에 위치한 데이터선(D_1-D_m)에 연결되어 있다.

<53> 도 2b에서는 화소 한 개를 단위로 해당 데이터선(D_1-D_m)에 대한 상대 위치가 바뀌도록 화소가 배열되어 있다. 예를 들어, j 번째 데이터선(D_j)에 연결된 화소들 중에서 화소($P_{i,j}$)의 부화소($P_{i,j}^1, P_{i,j}^2$)는 데이터선(D_j)의 오른쪽에 위치하고, 화소($P_{i+1,j}$)의 부화소($P_{i+1,j}^1, P_{i+1,j}^2$)는 왼쪽에 위치한다.

<54> 본 발명의 다른 실시예에 따르면 화소 2개 이상을 단위로 해당 데이터선(D_1-D_m)에 대한 상대 위치가 바뀌도록 화소가 배열된다.

<55> 각 화소($P_{i,j}$)의 위 부화소($P_{i,j}^1$)와 아래 부화소($P_{i,j}^2$)는 각각 위아래로 이웃한 부화소행의 부화소와 결합 축전기(C_{pp})로 연결되어 있다. 도 2a 및 2b에서는 각 부화소가 동일한 부화소열의 아래 또는 위로 이웃한 부화소와 결합되어 있는데, 예를 들면 화소($P_{i,j}$)의 위쪽 부화소($P_{i,j}^1$)는 화소($P_{i-1,j}$)의 아래쪽 부화소($P_{i-1,j}^2$)와 결합 축전기(C_{pp})로 연결되어 있고, 아래쪽 부화소($P_{i,j}^2$)는 화소($P_{i+1,j+1}$)의 위쪽 부화소($P_{i+1,j+1}^1$)와 결합 축전기(C_{pp})로 연결되어 있다. 이와 같이 동일한 화소열의 부화소들끼리의 용량 결합을 앞으로는 "동열(同列) 결합"이라고 한다.

<56> 본 발명의 다른 실시예에 따르면 다른 열의 부화소까지 용량 결합될 수도 있으며 앞으로 이를 "이열(異列) 결합"이라 한다.

57> 한편, 액정 표시판 조립체(300)를 구조적으로 보면 도 3에서와 같이 개략적으로 나타낼 수 있다. 편의상 도 3에는 하나의 부화소만을 나타내었다.

58> 도 3에 도시한 것처럼, 액정 표시판 조립체(300)는 서로 마주 보는 하부 표시판(100)과 상부 표시판(200) 및 둘 사이의 액정층(3)을 포함한다. 하부 표시판(100)에는 게이트선(G_i) 및 데이터선(D_j)과 스위칭 소자(Q_1) 및 유지 축전기(C_{ST})가 구비되어 있다. 액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 기준 전극("공통 전극"이라고도 함)(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다.

59> 화소 전극(190)은 스위칭 소자(Q_1)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면(全面)에 형성되어 있고 기준 전압(V_{com})에 연결된다.

60> 여기에서 액정 분자들은 화소 전극(190)과 기준 전극(270)이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

61> 화소 전극(190)은 유지 전극선(SL)과 중첩되어 유지 축전기(C_{ST})를 이루고, 이웃하는 화소 전극과 결합 축전기(C_{pp})로 연결되어 있다. 또한 화소 전극(190) 및/또는 공통 전극(270)이 복수의 절개부를 가지거나 전극(190, 270) 위에 돌기가 형성될 수 있으며, 이 경우 프린지 필드에 의하여 시야각이 향상될 수 있다.

62> 도 3은 스위칭 소자(Q_1)의 예로 모스(MOS) 트랜지스터를 보여주고 있으며, 이 모스 트랜지스터는 실제 공정에서 비정질 규소(amorphous silicon) 또는 다결정 규소(polysilicon)를 채

널층으로 하는 박막 트랜지스터로 구현된다. 따라서 하부 표시판(100)을 "박막 트랜지스터 표시판"이라고 한다.

63> 도 3에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.

64> 한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 각 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(color filter)(230)를 구비함으로써 가능하다. 도 3에서 색 필터(230)는 주로 상부 표시판(200)의 해당 영역에 형성되므로 상부 표시판(200)을 "색필터 표시판"이라 한다. 그러나 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 색필터(230)를 형성할 수도 있다.

65> 그러면 도면을 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치의 액정 표시판 조립체(300)의 상세 구조에 대하여 설명한다.

66> 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 5a는 도 4의 액정 표시판 조립체를 V_a-V_a' 선을 따라 잘라 도시한 단면도이고, 도 5b는 도 4의 액정 표시판 조립체의 박막 트랜지스터 표시판을 V_b-V_b' 선을 따라 잘라 도시한 단면도이다.

67> 먼저 박막 트랜지스터 표시판에 대하여 설명한다.

68> 유리 등의 투명한 절연 기판(110) 위에 주로 가로 방향으로 뻗은 복수의 게이트선(121)과 복수의 유지 전극선(131)이 형성되어 있다.

69> 각 게이트선(121)은 주로 행 방향으로 뻗어 있으며, 그 복수 부분은 상하로 확장되어 박막 트랜지스터의 게이트 전극(124)을 이룬다.

70> 유지 전극선(131)은, 도시하지는 않았으나, 가지선을 가질 수도 있으며 기준 전압(V_{com}) 따위의 주어진 전압이 인가된다.

71> 게이트선(121) 및 유지 전극선(131)은 Al, Al 합금, Ag, Ag 합금, Mo, Mo 합금, Cr, Ti, Ta 등의 금속 또는 도전체로 만들어진다.

72> 도 5a 및 5b에 도시한 것처럼, 본 실시예의 게이트선(121) 및 유지 전극선(131)은 단일 층으로 이루어지지만, 물리 화학적 특성이 우수한 Cr, Mo, Ti, Ta 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층으로 이루어질 수 있다. 게이트선(121)과 유지 전극선(131)의 측면은 경사져 있으며 수평면에 대한 경사각은 30°~80°인 것이 바람직하다.

73> 게이트선(121)과 유지 전극선(131) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(140)이 형성되어 있다.

74> 게이트 절연막(140) 위에는 비정질 규소로 이루어진 복수의 선형 및 섬형 반도체(151, 157)가 형성되어 있다. 주로 열 방향으로 뻗은 선형 반도체(151) 각각으로부터 뻗어 나온 복수의 가지 중 일부(154a, 154b)는 게이트 전극(124)과 중첩하여 박막 트랜지스터의 채널부를 이룬다.

5> 반도체(151, 157)의 위에는 인 등의 N형 불순물이 고농도로 도핑된 비정질 규소로 이루어진 복수의 선형 및 섬형 저항성 접촉 부재(161, 165a, 165b, 167)가 형성되어 있다.

6> 반도체(151, 157)와 저항성 접촉 부재(161, 165a, 165b, 167)의 측면은 테이퍼 구조를 가지며 경사각은 30°~80° 범위이다.

77> 접촉 부재(161, 165a, 165b, 167) 위에는 복수의 데이터선(171), 복수 쌍의 박막 트랜지스터용 드레인 전극(175a, 175b) 및 복수의 결합 부재(177)가 형성되어 있다.

78> 각 데이터선(171)은 주로 반도체(161)를 따라 열 방향으로 뻗어 있고 그 가지들이 게이트 전극(124) 위로 뻗어 나와 복수의 소스 전극(173)을 이룬다. 각 쌍의 드레인 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171)과도 분리되어 있으며, 대응하는 게이트 전극(124) 및 소스 전극(173)에 대하여 거의 대칭으로 배치되어 있다.

79> 결합 부재(177)는 유지 전극선(131)과 일부가 중첩되어 있다.

80> 데이터선(171), 드레인 전극(175a, 175b) 및 결합 부재(177)도 게이트선(121)과 마찬가지로 Cr, Al 따위의 물질로 만들어지며, 단일층 또는 다중층으로 이루어질 수 있고, 그 측면은 30° ~ 80° 의 경사각을 가질 수 있다.

81> 여기에서, 저항성 접촉 부재(161, 165a, 165b, 167)는 반도체(151, 157)와 데이터선(171), 드레인 전극(175a, 175b) 및 결합 전극(177)이 중첩하는 부분에만 배치되어 이들 사이의 접촉 저항을 낮추어 준다.

82> 데이터선(171), 드레인 전극(175a, 175b) 및 결합 전극(177)은 저항성 접촉 부재(161, 165a, 165b, 167)와 실질적으로 동일한 평면 모양을 가지며 반도체(151, 157)는 채널부(154a, 154b)를 제외하면 이들과 실질적으로 동일한 평면 모양을 가진다.

83> 그러나 반도체(151, 157)와 데이터선(171) 및 드레인 전극(175a, 175b)이 동일한 평면 모양을 가지지 않을 수도 있다. 예를 들어 반도체(151)는 채널부(154a, 154b)가 포함된 가지에만 존재하고 데이터선(171)을 따라 뻗은 선형 부분은 생략될 수도 있다. 또 반도체(151)는

게이트선(121)과 데이터선(171)의 효과적인 전기적 절연을 위하여 이들과 교차하는 부분에도 존재할 수도 있다.

<84> 데이터선(171), 드레인 전극(175a, 175b) 및 결합 전극(177)과 반도체(151, 157)의 채널부(154a, 154b) 위에는 질화규소 등 무기 절연물이나 수지 등의 유기 절연물로 이루어진 보호막(180)이 형성되어 있다. 보호막(180)은 드레인 전극(175a, 175b)의 일부를 각각 노출하는 복수의 접촉 구멍(183a, 183b)과 결합 전극(177)의 한쪽 끝부분을 노출하는 접촉 구멍(185)을 가지고 있다. 보호막(180)은 또한 데이터선(171)의 일부를 노출하는 접촉 구멍(182)을 가지고 있으며, 게이트 절연막(140)과 함께 게이트선(121)의 일부를 노출하는 접촉 구멍(181)을 가지고 있다. 보호막(180)의 위에는 복수 쌍의 화소 전극(190a, 190b)이 형성되어 있으며 각 쌍의 화소 전극(190a, 190b)은 접촉 구멍(183a, 183b)을 통하여 드레인 전극(175a, 175b)과 각각 연결되어 있다.

<85> 보호막(180) 위에는 또한 접촉 구멍(181, 182)을 통하여 각각 게이트선(121) 및 데이터선(171)과 연결되어 있는 복수의 게이트 접촉 보조 부재(91) 및 복수의 데이터 접촉 보조 부재(92)가 형성되어 있다. 화소 전극(190a, 190b)과 접촉 보조 부재(91, 92)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질 또는 반사성 도전 물질로 이루어진다.

<86> 각 쌍의 화소 전극(190a, 190b)에서 아래 화소 전극(190b)은 접촉 구멍(185)을 통하여 결합 부재(177)와 연결되어 있고, 위 화소 전극(190a)은 결합 부재(177)와 중첩되어 있다. 결합 부재(131)는 한 화소열의 아래 위 화소 전극(190b, 190a)을 용량 결합한다. 결합 부재(131)에서 화소 전극(190a)과 중첩하는 부분은 화소 전극(190a)의 위쪽 가장자리를 따라 대략 행 방향으로 뻗어 있다.

<87> 한편, 아래 화소 전극(190b)은 대체로 행 방향으로 길게 뻗어 있는 하나의 선형 가로 절개부(81)를 가지고 있다. 가로 절개부(81)의 수는 복수일 수 있고, 위 화소 전극(190a)에 열 방향으로 뻗은 선형의 절개부가 구비될 수도 있다. 계조 반전 현상을 없애기 위해서는 위 화소 전극(190a)이 전체 화소 전극 면적에서 차지하는 비율은 10%~50%가 되는 것이 바람직하며, 특히 20~30%인 것이 바람직하다.

<88> 접촉 보조 부재(91, 92)는 게이트선(121) 및 데이터선(171)의 노출 부분을 보호하고 외부 장치와의 물리적, 전기적 접촉성을 높이기 위한 것으로서 필수적인 것은 아니다.

<89> 접촉 보조 부재(91, 92) 부근을 제외한 박막 트랜지스터 표시판(100) 전면에는 배향막(11)이 형성되어 있다.

<90> 다음, 도 4 및 도 5a를 참조하여, 색필터 표시판에 대하여 설명한다.

<91> 유리 등의 투명한 절연 기판(210) 위에 블랙 매트릭스(220)가 형성되어 있고, 블랙 매트릭스(220)는 화소 전극(190a, 190b)에 대응하는 영역에 위치한 개구부를 가지며, 이 개구부에는 복수의 적, 녹, 청색의 색필터(230)가 형성되어 있다. 색필터(230) 위에는 오버코트막(250)이 형성되어 있고, 오버코트막(250) 위에는 ITO, TZO 등의 투명한 도전 물질로 이루어진 기준 전극(270)이 형성되어 있다.

<92> 기준 전극(270)은 복수 벌의 절개부를 포함하며, 각 벌에는 세 개의 선형 절개부(271-273)가 포함된다. 각 벌에서 한 절개부(271)는 대체로 열 방향으로 길게 뻗어 있고 위 화소 전극(190a)을 좌우로 두 개의 부영역으로 구획하고 있다. 각 벌에서 두 개의 절개부(272, 273)는 대체로 행 방향으로 길게 뻗어 있고 아래 화소 전극(190b)의 가로 절개부(81)에 대하여 거의 대칭으로 배치되어 있다. 행 방향의 절개부(272, 81, 273)는 아래 화소 전극

(190b)을 아래위로 4등분하는 위치에 있으며, 한 벌의 절개부(81, 271, 272, 273)에 의하여 구획된 각 부영역은 실질적으로 4각형을 이루고, 그 장면 두 개는 게이트선(121) 또는 데이터선(171)에 대하여 거의 평행하다.

93> 화소 전극(190a, 190b)과 기준 전극(270)의 절개부(81, 271, 272, 273)는 위치가 서로 바뀔 수 있다. 즉, 행 방향의 절개부(81, 272, 273)는 위 화소(190a)에 위치하고 열 방향의 절개부(271)는 아래 화소(190b)에 위치할 수 있다.

94> 기준 전극(270) 전면에는 배향막(21)이 형성되어 있다.

95> 두 기판(110, 210)의 바깥쪽에는 각각 편광판(12, 22)이 부착되어 있다. 이 때, 이를 편광판(12, 22)의 편광축은 게이트선(121) 또는 데이터선(171)과 실질적으로 평행하고, 서로 직교하도록 배치된다.

96> 이러한 구조로 이루어진 박막 트랜지스터 기판(100)과 색필터 기판(200) 사이에는 액정 물질이 주입되어 액정층(3)을 이룬다. 액정층(3)의 액정 분자들은 수평 배향(homogeneous alignment) 또는 수직 배향(homeotropic alignment 또는 vertical alignment)될 수 있으나 수직 배향되는 것이 시야각의 측면에서 바람직하다.

97> 도 4 내지 도 5b에 도시한 절개부(81, 271, 272, 273) 중 적어도 하나는 보호막(180) 위에 형성되는 돌기로 대체할 수 있다.

98> 한편, 본 실시예에서는 결합 전극(177)을 데이터선(171)과 동일한 층에 두었으나, 이와 달리 게이트선(121)과 동일한 층에 둘 수도 있다. 이 경우에는 유지 전극선(131)이 결합 전극(177)과 닿지 않도록 유의하여야 한다.

99> 다시 도 1로 돌아가서, 구동 전압 생성부(700)는 스위칭 소자(Q_1 , Q_2)를 터온시키는 게이트 온 전압(V_{on})과 스위칭 소자(Q_1 , Q_2)를 터오프시키는 게이트 오프 전압(V_{off}) 그리고 기준 전극(270)에 인가되는 기준 전압(V_{com}) 등을 생성한다.

100> 계조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 계조 전압(gray voltage)을 생성한다.

101> 게이트 구동부(400)는 스캔 구동부(scan driver)라고도 하며, 액정 표시판 조립체(300)의 게이트선(G_1-G_n)에 연결되어 구동 전압 생성부(700)로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.

102> 데이터 구동부(500)는 소스 구동부(source driver)라고도 하며, 조립체(300)의 데이터선(D_1-D_m)에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 데이터선(D_1-D_m)에 인가한다.

103> 신호 제어부(600)는 게이트 구동부(400), 데이터 구동부(500), 구동 전압 생성부(700) 및 계조 전압 생성부(800) 등의 동작을 제어하는 제어 신호를 생성하여, 각 게이트 구동부(400), 데이터 구동부(500), 구동 전압 생성부(700) 및 계조 전압 생성부(800)에 공급한다.

104> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

105> 신호 제어부(600)는 외부의 그래픽 제어기(graphic controller)(도시하지 않음)로부터 계조 신호(R, G, B) 및 이의 표시를 제어하는 제어 입력 신호(input control signal), 예를 들면 수직 동기 신호(vertical synchronizing signal, V_{sync})와 수평 동기 신호(horizontal synchronizing signal, H_{sync}), 메인 클록(main clock, CLK), 데이터 인에이블 신호(data enable signal, DE) 등을 제공받는다. 신호 제어부(600)는 제어 입력 신호를 기초로 게이트

제어 신호 및 데이터 제어 신호를 생성하고 제조 신호(R, G, B)를 액정 표시판(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호를 게이트 구동부(400)와 구동 전압 생성부(700)로 내보내고 데이터 제어 신호와 처리한 제조 신호(R', G', B')는 데이터 구동부(500)로 내보낸다.

.06> 게이트 제어 신호는 게이트 온 펄스(게이트 신호의 게이트 온 전압 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(vertical synchronization start signal, STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클록 신호(gate clock signal, CPV) 및 게이트 온 펄스의 폭을 한정하는 게이트 온 인에이블 신호(gate on enable signal, OE) 등을 포함한다. 이중에서 게이트 온 인에이블 신호(OE)와 게이트 클록 신호(CPV)는 구동 전압 생성부(700)에도 공급된다.

. 데이터 제어 신호는 제조 신호의 입력 시작을 지시하는 수평 동기 시작 신호(horizontal synchronization start signal, STH)와 데이터선(D₁-D_m)에 해당 데이터 신호를 인가하라는 로드 신호(load signal, LOAD 또는 TP), 공통 전압(V_{com})에 대한 데이터 신호 전압의 극성(이하 "데이터 신호 전압"을 줄여서 "데이터 전압"이라 하고, "공통 전압에 대한 데이터 신호 전압의 극성"을 줄여서 "데이터 전압의 극성"이라 함)을 반전시키는 반전 제어 신호(reversing signal, RVS) 및 데이터 클록 신호(data clock signal, HCLK) 등을 포함한다. 이 중에서 반전 제어 신호(RVS)는 구동 전압 생성부(700)에도 공급된다.

.7> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호에 따라 게이트 온 펄스를 차례로 게이트선(G₁-G_n)에 인가하여 이 게이트선(G₁-G_n)에 연결된 두 행의 스위칭 소자(Q₁, Q₂)를 턴온시킨다. 이와 동시에 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호에 따라, 턴온된 스위칭 소자(Q₁, Q₂)를 포함하는 화소에 대한 제조 신호(R', G', B')에 대응하는 제조 전압 생성부(800)로부터의 아날로그 제조 전압을 데이터 신호로서 해당

데이터선(D_1-D_m)에 공급한다. 데이터선(D_1-D_m)에 공급된 데이터 신호는 턴온된 스위칭 소자(Q_1, Q_2)를 통해 해당 화소의 각 부화소의 액정 축전기(C_{LC1}, C_{LC2})에 인가된다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 펄스를 인가하여 모든 화소에 데이터 신호를 인가한다. 한 프레임이 끝나고 구동 전압 생성부(700)와 데이터 구동부(500)에 반전 제어 신호(RVS)가 공급되면 다음 프레임의 모든 데이터 전압의 극성이 바뀐다. 이 때, 한 프레임 내에서도 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌며("라인 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다르다("도트 반전").

108> 한편, 어떤 화소($P_{i,j}$)에 대한 데이터 전압과 기준 전압(V_{com})과의 차[이하 특별한 이유가 없는 한 기준 전압(V_{com})을 0으로 가정하고 "데이터 전압"과 구분하지 않음]를 d'_j 라 하고 그 화소($P_{i,j}$)의 아래 위 부화소($P_{i,j}^1, P_{i,j}^2$)의 액정 축전기(C_{LC1}, C_{LC2})에 충전되는 전압(이하 "화소 전압")을 각각 $V(P_{i,j}^1), V(P_{i,j}^2)$ 라 할 때, 다음과 같은 관계식이 성립한다.

109> 【수학식 1】 $V(P_{i,j}^1) = d'_j$

110>

$$V(P_{i,j}^2) = d_j^i + \frac{(d_j^{i+1} - d'_j^{i+1})C_{pp}}{C_{LC2} + C_{ST2} + C_{pp}} = d_j^i + C \cdot \Delta d_j^{i+1}$$

【수학식 2】

111>

$$(여기서) C = \frac{C_{pp}}{C_{LC2} + C_{ST2} + C_{pp}}, \quad \Delta d_j^{i+1} = d_j^{i+1} - d'_j^{i+1}$$

112> 수학식 1 및 2에서 C_{LC2}, C_{ST2} 는 아래쪽 부화소(

P_{ij}^2)의 액정 축전기 및 유지 축전기의 정전 용량이고, C_{pp} 는 결합 축전기의 정전 용량이며, d_j^{i+1} 은 이전 프레임에서 부화소(P_{ij}^1)에 인가되었던 데이터 전압을 의미한다. 편의상 데이터 선(D_1-D_m)의 배선 저항이나 신호 지연은 무시한다.

113> 프레임 반전시 d_j^{i+1} 과 d_j' 은 서로 반대 극성이므로

114> 【수학식 3】 $|\Delta d_j^{i+1}| \geq |d_j^{i+1}| \geq 0$,

115> $|\Delta d_j^{i+1}| \geq |d_j'| \geq 0$,

116> d_j^{i+1} 이 d_j' 와 동일한 극성이면 Δd_j^{i+1} 의 극성이 d_j' 와 동일하므로

117> 【수학식 4】 $|V(P_{ij}^2)| = |d_j^i + C \cdot \Delta d_j^{i+1}| \geq |d_j^i| = |V(P_{ij}^1)|$,

118> 도트 반전 또는 라인 반전의 경우처럼 d_j^{i+1} 가 d_j' 와 반대 극성이면

119> Δd_j^{i+1} 의 극성이 d_j' 와 반대이므로, 즉 $(-\Delta d_j^{i+1})$ 의 극성이 d_j' 의 극성과 동일하므로

120> 【수학식 5】 $|V(P_{ij}^2)| = |d_j^i - C \cdot (-\Delta d_j^{i+1})| \leq |d_j^i| = |V(P_{ij}^1)|$

121> 수학식 4와 5에 따르면, 결합 축전기(C_{pp})로 연결된 두 부화소의 극성이 동일하면 아래쪽 부화소(P_{ij}^2)에 위쪽 부화소(P_{ij}^1)보다 높은 전압이 충전되고, 이와 반대로 극성이 서로 반대일 경우에는 아래쪽 부화소(P_{ij}^2)에 위쪽 부화소(P_{ij}^1)보다 낮은 전압이 충전된다.

122> 결국 인접한 두 화소행에 인가되는 데이터 전압의 극성이 같으면 위쪽 화소의 아래쪽 부화소에 충전되는 화소 전압이 높아지고, 반대로 극성이 다르면 낮아져, 한 화소의 위쪽 부화소와 아래쪽 부화소에 각각 충전되는 화소 전압에 차이가 발생한다.

123> 한편, 수학식 2로부터 화소($P_{i,j}$)의 아래쪽 부화소($P_{i,j}^2$)에 충전되는 화소 전압은 아래 화소($P_{i,j+1}$)에 대한 이전 프레임과 현재 프레임의 데이터 차 전압의 크기와 관련 있음을 알 수 있다.

124> 이해를 쉽게 하기 위하여 정지 화상을 고려하자. 정지 화상인 경우 이전 프레임의 데이터 전압의 절대값이 현재 프레임의 데이터 전압의 절대값과 동일하다. 프레임 반전을 고려하면 $d_{i,j}^{i+1} = -d_{i,j}^i$ 이므로,

125> 【수학식 6】
$$V(P_{i,j}^2) = d_{i,j}^i + 2C \cdot d_{i,j}^{i+1}$$

26> 이 된다.

27> 이를 보면 어떤 화소행의 화소에 모두 동일한 데이터 전압이 인가된다고 하더라도 그 다음 화소행에 인가되는 데이터 전압의 크기에 따라 위 화소에 충전되는 화소 전압이 달라짐을 알 수 있다.

28> 특히 아래 화소행에 대한 데이터 전압의 크기가 화소 별로 차이가 많이 나는 경우에는 위 화소행의 화소에 충전되는 화소 전압도 화소별로 차이가 많이 난다.

29> 한편, 어떤 부화소에 충전된 전압이 V일 때 그 부화소의 투과율을 $T(V)$ 라고 하자. $T(V)$ 는 제품마다 달라질 수 있으며 노멀리 블랙 모드의 경우 도 6과 같은 특성을 나타낸다. 그리고 본 실시예에서 각 화소의 위쪽 부화소와 아래쪽 부화소의 면적 비를 a:b로 가정하자.

130> 그러면 화소($P_{i,j}$)의 밝기($T_{i,j}$)는

131>

$$T_{ij} = \frac{aT[V(P_{ij}^1)] + bT[V(P_{ij}^2)]}{a+b}$$

【수학식 7】

132>로 주어지고, 수학식 1과 수학식 6으로부터

133>

$$T_{ij} = \frac{aT(d_j^i) + bT(d_j^i + 2C \cdot d_j^{i+1})}{a+b}$$

【수학식 8】

34>이다.

35>수학식 8에서 알 수 있듯이, 아래 화소행에 대한 데이터 전압의 크기가 화소 별로 차이가 많이 나면 위 화소행의 화소의 투과율 또한 차이가 많이 나서 눈에 띄게 된다.

36>본 발명의 실시예에서는 아래 행의 화소와 다른 데이터 전압이 인가되는 경우의 투과율이 아래 행의 화소와 동일한 데이터 전압이 인가되는 경우의 투과율과 동일하게 되도록 해당 화소에 인가되는 데이터 전압에 대응하는 계조 신호를 보정한다.

37>예를 들어 정지 화상이라고 하자.

38> i 번째 화소행의 j 번째 화소와 그 아래 화소가 동일한 데이터 전압을 인가 받는다면

39>도트 반전의 경우 아래 위 화소의 극성이 반대이므로 $d_j' = -d_j'^{i+1}$ 이고, 아래 위 극성이 동일하면 $d_j' = d_j'^{i+1}$ 이므로

40>

$$T_{ij} = \frac{aT(d_j^i) + bT(d_j^i \pm 2C \cdot d_j^i)}{a+b}$$

【수학식 9】

1>편의상 침자 j 를 모두 생략하고 d' 의 보정 전압을 d'_c 라고 하자. 보정된 투과율은

42>

$$T_i = \frac{aT(d_c^i) + bT(d_c^i + 2C \cdot d^{i+1})}{a+b}$$

【수학식 10】

43> 수학식 9와 수학식 10으로부터

44>

$$\frac{aT(d^i) + bT(d^i + 2Cd^i)}{a+b} = \frac{aT(d_c^i) + bT(d_c^i + 2Cd^{i+1})}{a+b}$$

【수학식 11】

45> 전압 대 투과율(V-T) 특성은 정해져 있으므로, 수학식 11로부터 어떤 화소의 보정 데이터 전압(d_c^i)은 그 화소의 데이터 전압(d^i)과 그 아래 화소의 데이터 전압(d^{i+1})으로부터 구해질 수 있다. 물론 동영상에 대해서도 이전 프레임의 데이터 전압값과 현재 프레임의 데이터 전압값이 같다고 가정하면 마찬가지로 적용할 수 있다.

46> 이러한 동작을 위한 구조에 대하여 도 7을 참고로 상세히 설명한다.

47> 도 7은 본 발명의 한 실시예에 따른 화소 전압 보정부의 블록도이다.

48> 도 7에 도시한 바와 같이, 화소 전압 보정부는 한 행의 화소에 대한 계조 신호(R, G, B)를 기억하는 적색(R), 녹색(G) 및 청색(B)용 메모리(621-623), 메모리(621-623)에 연결되어 있는 메모리 쓰기 제어부(610)와 메모리 읽기 제어부(630) 및 계조 신호(R, G, B)를 입력받고 메모리 읽기 제어부(630)에 연결되어 있는 데이터 보정부(640)를 포함한다.

49> 각 메모리(621-623)는 동시에 읽기·쓰기가 가능한 이중 포트(dual port) 메모리로서 메모리 쓰기 제어부(610)와 메모리 읽기 제어부(630)에 연결된 어드레스 단자와 데이터 단자를 구비하고 있고, 한 행의 화소에 대한 계조 신호(R, G, B)를 기억할 수 있다.

150> 메모리 쓰기 제어부(610)는 계조 신호(R, G, B)를 입력받아 한 행 분씩 메모리(621-623)의 해당 주소에 쓴다.

151> 메모리 읽기 제어부(630)는 각 메모리(621-623)에 기억된 한 행의 화소에 대한 계조 신호(R, G, B)를 읽어 내어 데이터 보정부(640)에 전달한다.

152> 데이터 보정부(640)는 메모리 읽기 제어부(630)로부터의 계조 신호(R, G, B)를 현재 입력되는 한 행의 계조 신호(R, G, B)와 비교한 후 앞서 설명한 방식으로 결정된 보정 계조 신호가 기억되어 있는 툭업 테이블에서 해당하는 보정 계조 신호(R', G', B')를 검색하여 데이터 구동부(500)에 공급한다.

53> 본 발명의 실시예에서 이러한 구조를 갖는 화소 전압 보정부는 신호 제어부(600)에 내장되어 있지만, 신호 제어부(600)와 별개로 독립적으로 존재할 수도 있다.

54> 이러한 구조로 이루어져 있는 화소 전압 보정부의 동작을 좀더 상세히 설명한다.

55> 먼저, 외부로부터 메모리 쓰기 제어부(610)와 데이터 보정부(640)에 계조 신호(R, G, B)가 입력되면, 메모리 쓰기 제어부(610)는 계조 신호(R, G, B)를 해당하는 적색, 녹색 및 청색용 메모리(621-623)의 해당 주소에 차례로 쓴다. 이 쓰기 동작은 메모리 쓰기 제어부(610)가 데이터 단자를 통해 계조 신호를 메모리(621-623)에 공급함과 동시에 어드레스 단자를 통해 쓸 위치를 알려주는 어드레스 신호(AS)를 메모리(621-623)에 인가함으로써 이루어진다.

56> 한 행의 화소에 대한 계조 신호가 모두 메모리(621-623)에 기억되면 메모리 읽기 제어부(630)는 메모리(621-623)에 기억되어 있는 한 행의 계조 신호를 차례로 읽어 내어 "이전 계조 신호"로서 데이터 보정부(640)에 공급한다. 이 읽기 동작은 메모리 읽기 제어부(630)가 읽을 위치를 알려주는 어드레스 신호(AS)를 어드레스 단자를 통해 메모리(621-623)에 인가하면, 메

모리(621-623)가 해당 위치에 기억된 계조 신호(R, G, B)를 데이터 단자를 통해 메모리 읽기 제어부(630)에 공급함으로써 이루어진다.

157> 이때, 데이터 보정부(640)는 외부로부터 다음 화소행에 대한 계조 신호(이하 "현재 계조 신호"라 함)를 입력받기 시작한다. 데이터 보정부(640)는 메모리 읽기 제어부(630)로부터의 이전 계조 신호를 현재 계조 신호와 비교하고, 두 계조 신호값에 따라 이미 정해져 있는 값을 툭업 테이블에서 선택하여 이전 계조 신호의 보정 계조 신호(R' , G' , B')로서 데이터 구동부(500)에 출력한다.

58> 구체적인 과정을 설명하면 다음과 같다.

59> 이전 계조 신호 값과 현재 계조 신호 값을 비교해서 두 값이 동일하거나 두 값의 차가 일정값 이하이면 이전 계조 신호를 그대로 보정 계조 신호(R' , G' , B')로서 출력한다. 이와는 달리 두 값이 다르거나 두 값의 차가 일정값 이상이면 툭업 테이블에서 해당 값을 찾아 보정 계조 신호로서 출력한다. 이때 툭업 테이블에 기억되어 있는 값은 예를 들면 도 8에 도시한 형태일 수 있다. 여기에서, $x_{i,i}$ 는 수학식 11의 관계식으로부터 얻은 결과이다.

60> 한편 메모리 읽기 제어부(630)가 메모리(621-623)로부터 이전 계조 신호를 읽어내는 동안 메모리 쓰기 제어부(610)는 현재 계조 신호를 메모리(621-623)에 쓴다. 이때, 읽기 동작과 쓰기 동작은 동시에 이루어질 수도 있으며, 쓰기 동작이 읽기 동작보다 뒤쳐져 진행될 수도 있다.

61> 여기에서 데이터 보상부(640)에 공급되는 맨 처음 화소행의 계조 신호(R, G, B)에 대해서는 메모리(621-623)에 기억되어 있는 계조 신호가 존재하지 않기 때문에, 데이터 보정부(640)로부터 출력이 없고 둘째 행의 신호가 들어올 때 첫 행의 계조 신호가 출력되므로 계조

신호(R, G, B)의 입력 시점과 보정 계조 신호(R' , G' , B')의 출력 시점은 한 수평 주기(1H) 또는 수평 동기 신호(H_{sync})의 한 주기만큼 차이가 난다.

162> 따라서 본 실시예에서는 현재 계조 신호와 이전 계조 신호에 근거하여 새로운 보정 계조 신호를 생성하여 데이터 구동부에 인가하므로, 상하 화소 간의 계조 차이에 의해 나타나는 같은 행의 화소 간의 밝기 차이를 보상할 수 있다.

163> 다음에 도 9를 참고하여, 본 발명의 다른 실시예에 따른 화소 전압 보정부에 대하여 설명한다.

164> 도 9는 본 발명의 다른 실시예에 따른 화소 전압 보정부의 회로도이다.

165> 도 7에 도시한 화소 전압 보정부와의 주된 차이점은 동시에 읽기 쓰기가 불가능한 단일 포트(single port) 메모리를 사용한다는 점이다. 구체적으로 9에 도시한 화소 전압 보정부는 계조 신호(R, G, B)를 입력받는 멀티플렉서(650), 이 멀티플렉서(650)의 각 출력 단자에 각각 연결된 한 쌍의 제1 및 제2 메모리 제어부(611, 612), 어드레스 단자와 데이터 단자를 통해 이를 제1 및 제2 메모리 제어부(611, 612)에 각각 연결된 한 쌍의 제1 및 제2 적색용 메모리(621A, 621B), 한 쌍의 제1 및 제2 녹색용 메모리(622A, 622B) 및 한 쌍의 제1 및 제2 청색용 메모리(623A, 623B), 그리고 제1 및 제2 메모리 제어부(611, 612)에 연결된 데이터 보정부(640)를 포함하고 있다.

36> 멀티플렉서(650)는 제어 단자에 인가되는 제어 신호(CS)의 상태에 따라 신호의 출력 경로가 결정된다. 본 실시예에서, 제어 신호(CS)는 예를 들면 한 행의 화소에 대한 계조 신호의 전송 시간과 주기가 동일한 수평 동기 신호(H_{sync})나 데이터 인에이블 신호(DE)에 동기하여, 신호 제어부(600)에서 만들어낸 고레벨인 "하이(high)" 상태와 저레벨인 "로우(low)" 상태가

반복되는 신호일 수 있다. 예를 들어, 제어 신호(CS)의 상태가 "하이"일 때 멀티플렉서(650)의 출력 경로는 제1 경로(A)이고, "로우"일 때 출력 경로는 제2 경로(B)이다. 그러나 이러한 제어 신호(CS)의 상태와 멀티플렉서(650)의 출력 경로는 변경될 수 있다.

167> 이와 같은 본 발명의 한 실시예에 따른 화상 전압 보정부의 동작에 대하여 설명한다.

168> 먼저, 계조 신호(R, G, B)가 입력되고 이때의 제어 신호(CS)의 상태가 "하이"이면 멀티플렉서(650)의 계조 신호 출력 경로는 제1 경로(A)가 된다. 따라서 멀티플렉서(650)는 제1 메모리 제어부(611)에 계조 신호(R, G, B)를 전송한다. 제1 메모리 제어부(611)는 데이터 보정부(640)에 계조 신호(R, G, B)를 전송함과 동시에 각 제1 메모리(621A, 622A, 623A)의 해당 번지를 지정하는 어드레스 신호(AS)를 계조 신호(R, G, B)와 함께 제1 메모리(621A, 622A, 623A)로 보내어 계조 신호를 기억시킨다.

169> 그런 다음, 한 행의 계조 신호(R, G, B)가 모두 입력되면 제어 신호(CS)의 상태가 "로우"로 바뀌고 멀티플렉서(650)의 출력 경로는 제2 경로(B)가 되므로, 멀티플렉서(650)는 제2 경로(B)를 통해 제2 메모리 제어부(612)에 다음 행의 계조 신호(R, G, B)를 전송한다. 제2 메모리 제어부(612)는 계조 신호(R, G, B)를 현재 계조 신호로서 데이터 보정부(640)에 공급하고, 어드레스 신호(AS)와 함께 계조 신호를 제2 메모리 제어부(612)에 보내어 지정된 주소의 해당 메모리(621B, 622B, 623B)에 각 해당 계조 신호(R, G, B)를 기억시킨다. 그동안 제1 메모리 제어부(611)는 각 메모리(621A, 622A, 623A)의 해당 번지에 기억되어 있는 계조 신호를 읽어 내어 이전 계조 신호로서 데이터 보정부(640)에 공급한다.

170> 데이터 보정부(640)는 이전 계조 신호를 현재 계조 신호(R, G, B)와 비교하고, 이 현재 계조 신호(R, G, B)와 이전 계조 신호의 값에 따라 각각 이미 정해져 있는 보정 계조 신호(R', G', B')를 선택하여 출력한다.

171> 이러한 본 실시예의 동작에 따라 현재 계조 신호와 이전 계조 신호에 근거하여 새로운 보정 계조 신호를 생성하여 데이터 구동부에 인가하므로, 위 아래 화소 간의 계조 차이에 의해 나타나는 같은 행의 화소 간의 밝기 차이를 보상할 수 있다.

【발명의 효과】

172> 이와 같이, 현재 계조 신호와 이전 계조 신호에 근거하여 이전 행에 대한 새로운 보정 계조 신호를 생성하며, 이는 특히 화소끼리 용량 결합된 구조의 액정 표시 장치에 유용하다.

173> 그로 인해, 상하 화소간의 데이터 전압 차이로 인해 발생하는 휘도 차이를 보상하므로, 액정 표시 장치의 화질을 개선한다.

174> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【특허청구범위】**【청구항 1】**

게이트선과 데이터선에 각각 연결되어 있고 행렬 형태로 배열된 복수의 화소를 포함하는 액정 표시 장치를 구동하는 장치로서,

복수의 계조 전압을 생성하는 계조 전압 생성부,

한 행의 화소에 대한 제1 계조 신호와 다음 행의 화소에 대한 제2 계조 신호를 차례로 입력받아, 상기 제1 계조 신호와 상기 제2 계조 신호에 따라 미리 정해져 있는 보정 계조 신호를 선택하여 상기 제1 계조 신호 대신 출력하는 계조 신호 보정부, 그리고

상기 복수의 계조 전압 중에서 상기 계조 신호 보정부로부터의 상기 보정 계조 신호에 해당하는 계조 전압을 선택하여 데이터 전압으로서 상기 화소에 인가하는 데이터 구동부를 포함하는 액정 표시 장치의 구동 장치.

【청구항 2】

제1항에서,

상기 계조 신호 보정부는 계조 신호를 기억하는 메모리부를 더 포함하는 액정 표시 장치의 구동 장치.

【청구항 3】

제2항에서,

상기 계조 신호 보정부는 상기 제1 계조 신호를 상기 메모리부에 기억했다가 상기 제2 계조 신호가 입력되면 상기 메모리부에 기억되어 있는 상기 제1 계조 신호를 읽어 내고, 상기 제2 계조 신호를 상기 메모리부에 기억하는 액정 표시 장치의 구동 장치.

【청구항 4】

제3항에서,

상기 메모리부는 읽기 포트와 쓰기 포트 포트를 구비한 이중 포트 메모리를 포함하는 액정 표시 장치의 구동 장치.

【청구항 5】

제2항에서,

상기 계조 신호 보정부는 상기 제1 계조 신호와 상기 제2 계조 신호의 상태에 따라 해당하는 보정 계조 신호를 기억하고 있는 데이터 보정부를 더 포함하는 액정 표시 장치의 구동 장치.

【청구항 6】

제5항에서,

상기 데이터 보정부는 루프 테이블인 액정 표시 장치의 구동 장치.

【청구항 7】

제2항에서,

상기 계조 신호 보정부는 상기 계조 신호를 상기 제1 계조 신호와 상기 제2 계조 신호에 따라 상기 메모리부에 인가되는 경로를 변경하는 멀티플렉서를 더 포함하는 액정 표시 장치의 구동 장치.

【청구항 8】

제7항에서,

상기 멀티플렉서는 외부로부터 인가되는 제어 신호의 상태에 따라 상기 경로를 변경하고,

상기 제어 신호는 한 행의 화소에 대한 계조 신호의 전송 시간과 주기가 동일한 수평 동기 신호나 데이터 인레이블 신호에 동기하는 액정 표시 장치의 구동 장치.

【청구항 9】

제7항에서,

상기 메모리부는 한 쌍의 단일 포트 메모리를 포함하며, 상기 한 쌍의 단일 포트 메모리는 번갈아 읽기 및 쓰기 동작을 수행하는 액정 표시 장치의 구동 장치.

【청구항 10】

제1항에서,

상기 각 화소는 제1 부화소와 제2 부화소를 포함하며,

상기 제1 및 제2 부화소는 상기 게이트선 중 하나와 상기 데이터선 중 하나에 연결된 스위칭 소자, 상기 스위칭 소자에 연결된 화소 전극을 각각 포함하고,

상기 제1 및 제2 부화소는 인접한 다른 부화소와 용량 결합되어 있는 액정 표시 장치의 구동 장치.

【청구항 11】

제10항에서,

한 화소의 상기 제2 부화소는 아래 화소의 제1 부화소와 용량 결합되어 있고,

상기 제1 및 제2 부화소의 화소 전극의 면적비는 $a:b$ 이고, 상기 제1 계조 신호에 대응하는 데이터 전압을 V_1 , 상기 제2 계조 신호에 대응하는 데이터 전압을 V_2 라고 하며, 전압 V 에 대한 투과율을 $T(V)$ 라고 할 때 상기 제1 계조 신호에 대한 보정 계조 신호에 대응하는 데이터 전압을 V_1' 이라고 할 때, V_1' 은 다음과 같이 관계식으로 정해지는 액정 표시 장치의 구동 장치

$$\frac{aT(V_1) + bT(V_1 \pm 2CV_1)}{a+b} = \frac{aT(V_1') + bT(V_1' + 2CV_2)}{a+b} \quad (\text{단, } C\text{는 상수})$$

【청구항 12】

복수의 게이트선, 상기 복수의 게이트선과 교차하는 복수의 데이터선, 상기 복수의 게이트선 중 하나와 상기 복수의 데이터선 중 하나에 각각 연결되어 있는 복수의 스위칭 소자, 상기 스위칭 소자에 연결되어 있는 화소 전극을 포함하는 액정 표시 장치의 구동 방법으로서,

제 1 행의 계조 신호를 메모리에 쓰는 단계,

제2 행의 계조 신호가 입력되면, 상기 제1 행의 계조 신호를 읽어내고 상기 제2 행의 계조 신호를 상기 메모리에 쓰는 단계,

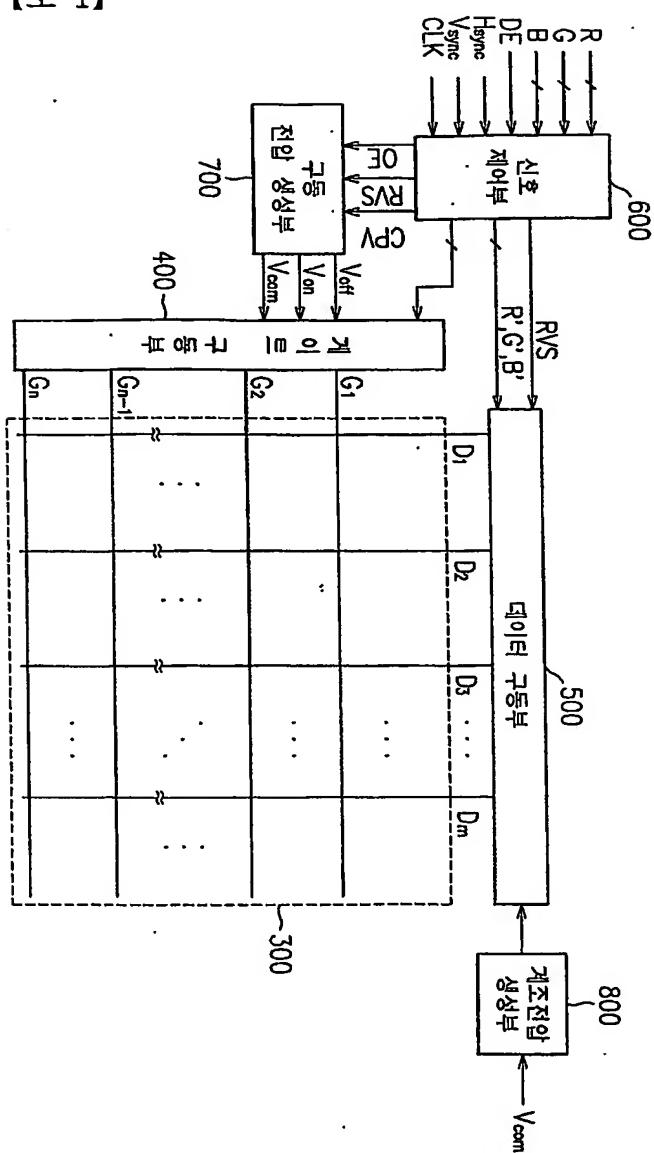
상기 제1행의 계조 신호와 상기 제2 행의 계조 신호에 따라 이미 정해져 있는 보정 계조 신호를 선택하는 단계, 그리고

상기 보정 계조 신호를 상기 제1 행의 계조 신호 대신 상기 스위칭 소자를 통해 상기 화소에 인가하는 단계

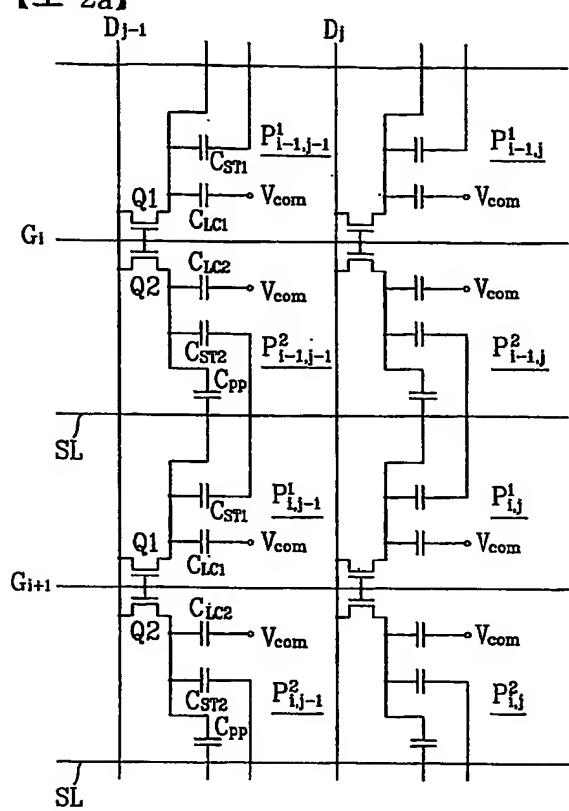
를 포함하는 액정 표시 장치의 구동 방법.

【도면】

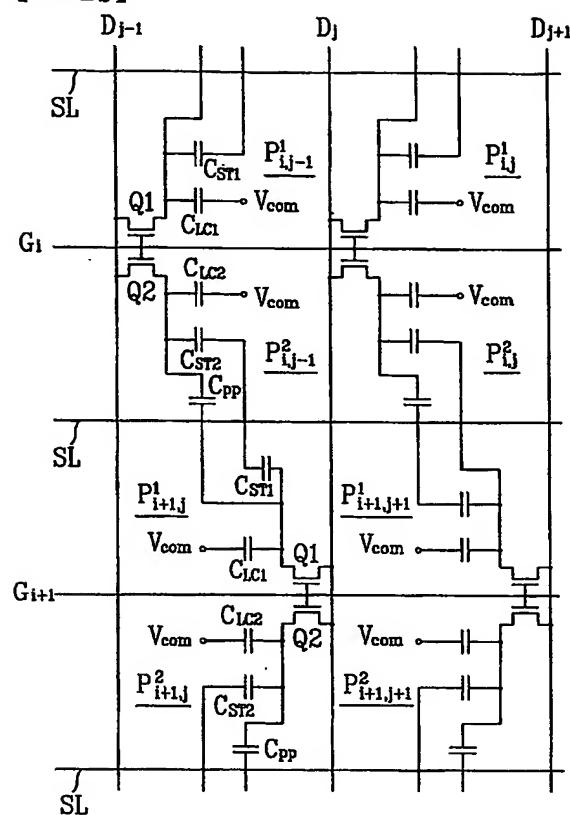
【도 1】



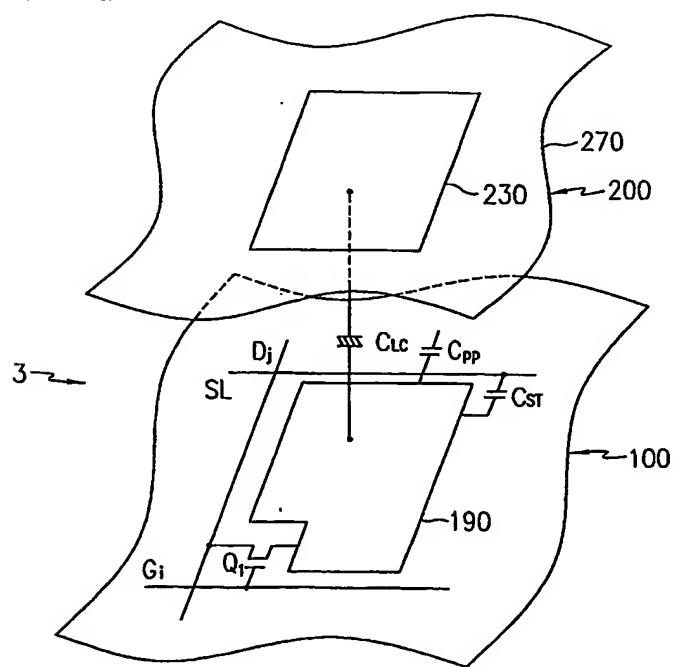
【도 2a】



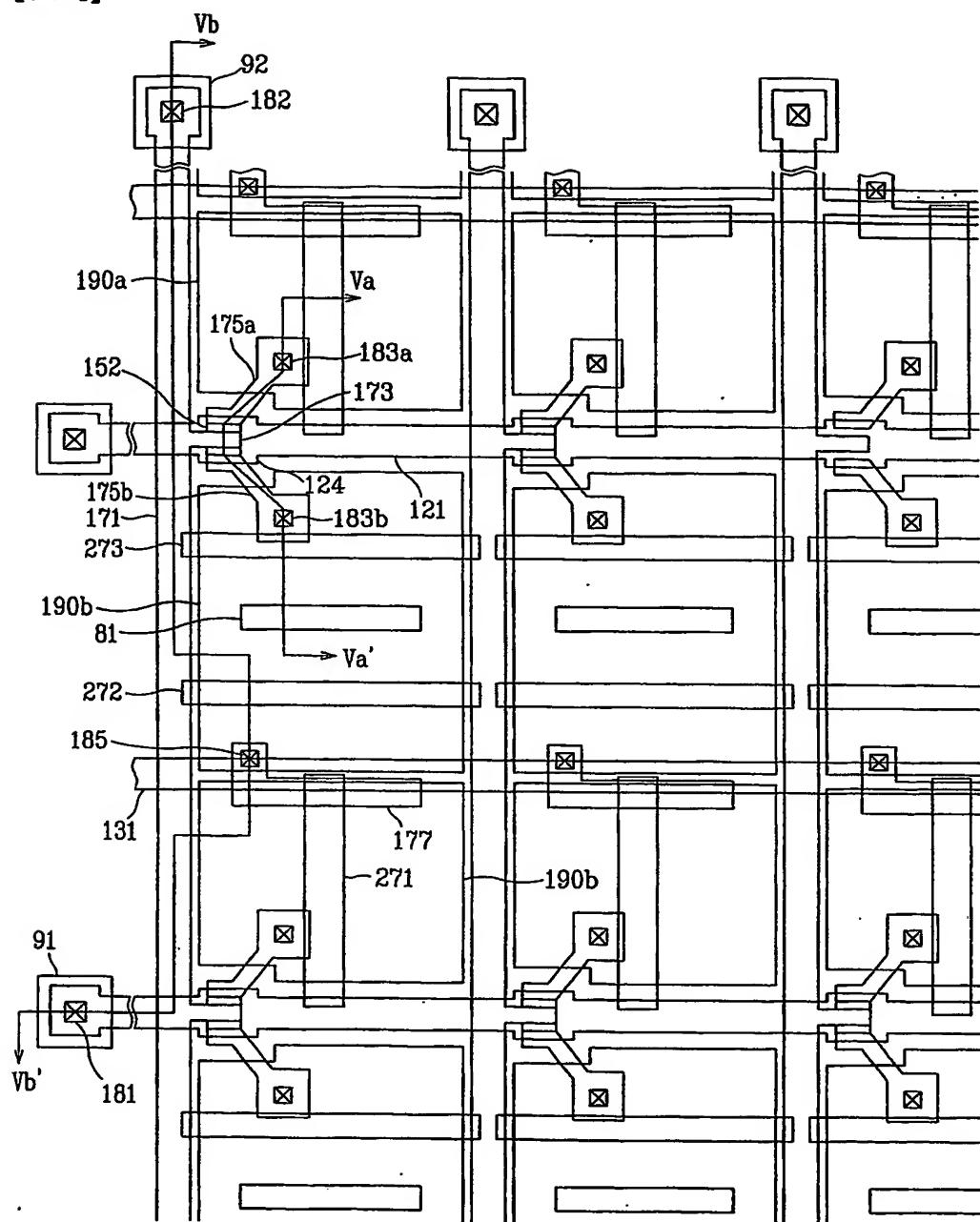
【도 2b】



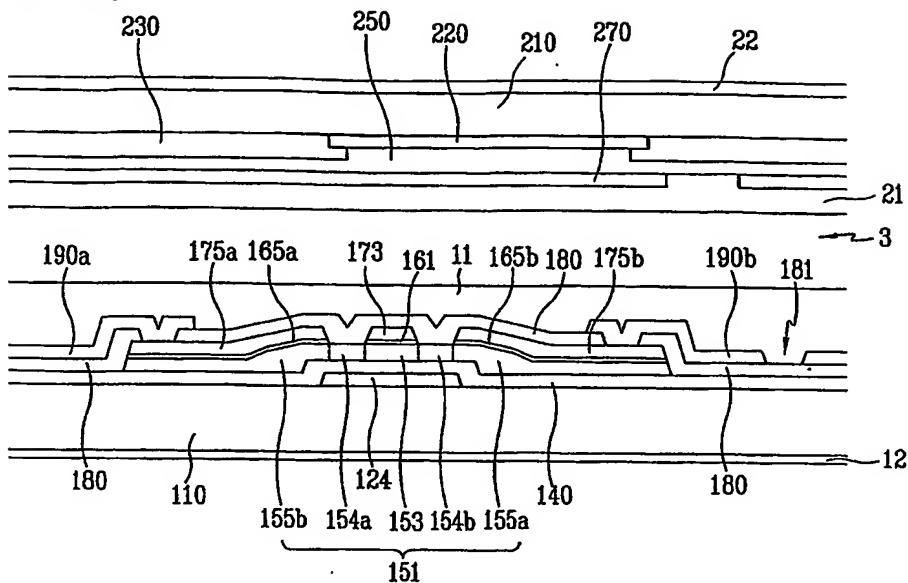
【도 3】



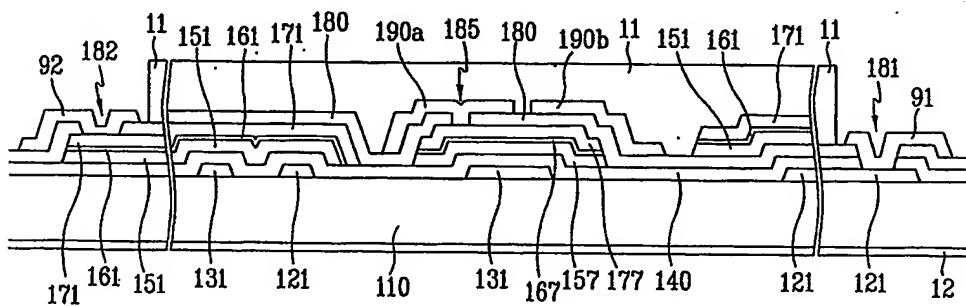
【도 4】



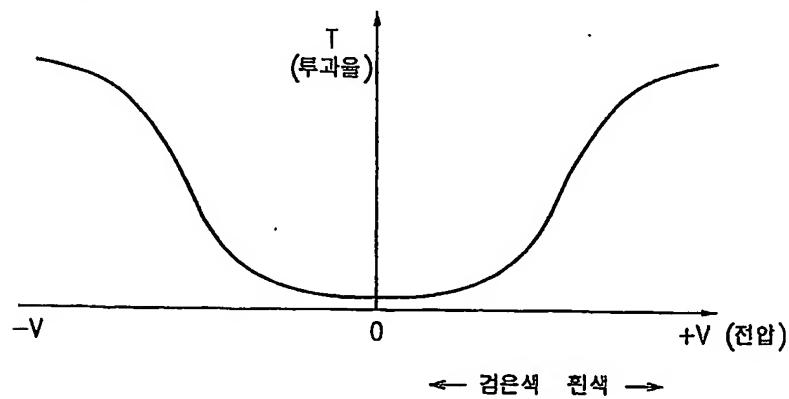
【도 5a】



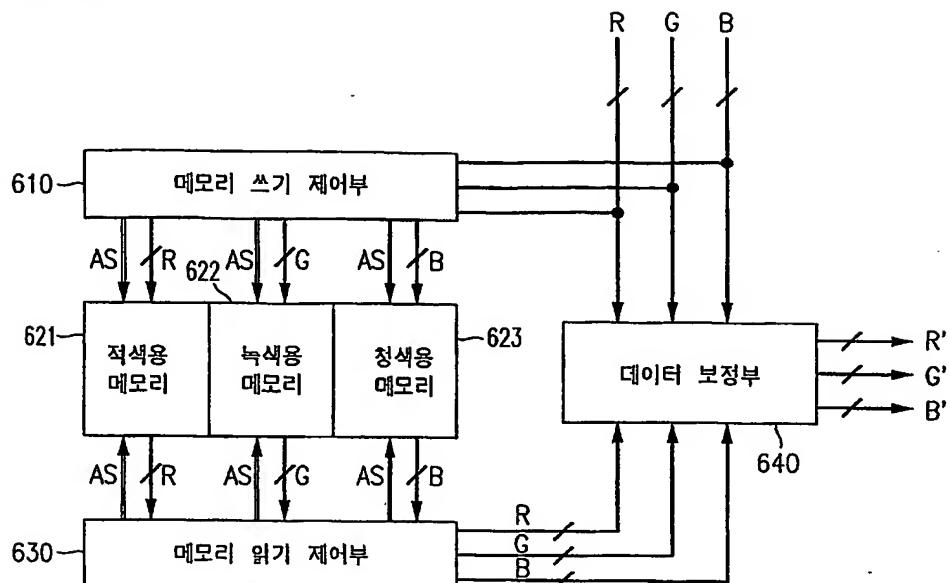
【도 5b】



【도 6】



【도 7】



【도 8】

이전	현재	1	2	...	K-1	K
1		1	$X_{2,1}$		$X_{1,K-1}$	$X_{1,K}$
2		$X_{2,1}$	2		$X_{2,K-1}$	$X_{2,K}$
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
R-1		$X_{R-1,1}$	$X_{R-1,2}$		R-1	$X_{R-1,K}$
R		$X_{R,1}$	$X_{R,2}$		$X_{R,K-1}$	R

【도 9】

